



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 06169016

(43)Date of publication of application: 14.06.1994

(51)Int.Cl.

H01L 21/82

(21)Application number: 04320474

(71)Applicant:

TOSHIBA CORP
IWATE TOSHIBA ELECTRON KK
ARAYA BUNSAKU

(22)Date of filing: 30.11.1992

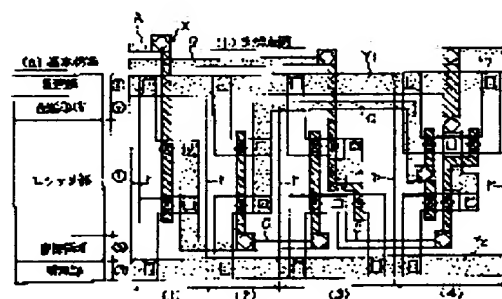
(72)Inventor:

(54) SEMICONDUCTOR INTEGRATED CIRCUIT AND LAYOUT DESIGN METHOD THEREOF

(57)Abstract:

PURPOSE: To make it possible to contribute toward enhancing operation reliability, reducing chip sizes and highly integrating chips by allowing first and second standard cells having an electrically interconnected logic section to provide a wiring section between their logic sections and their power sources.

CONSTITUTION: A plurality of standard cells from (1) to (4) are combined, thereby constituting a semiconductor circuit. In this semiconductor circuit, a first standard cell and a second standard cell which have an electrically interconnected section out of the standard cells are designed to provide a wiring section for electric connection between their logic sections and their power source Y1 and Y2. More specifically, the first and second standard cells are provided with a first frame inside wiring area laid out between each logic section and the first power source Y1 and a second frame inside wiring area laid out between each logic section and the second power source Y2.



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-169016

(43)公開日 平成6年(1994)6月14日

(51)Int.Cl.⁵

H01L 21/82

識別記号

庁内整理番号

FI

技術表示箇所

7377-4M

H01L 21/82

B

審査請求 未請求 請求項の数4(全4頁)

(21)出願番号

特願平4-320474

(22)出願日

平成4年(1992)11月30日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71)出願人 000158150

岩手東芝エレクトロニクス株式会社

岩手県北上市北工業団地6番6号

(72)発明者 荒谷文作

岩手県北上市北工業団地6番6号 岩手東

芝エレクトロニクス株式会社内

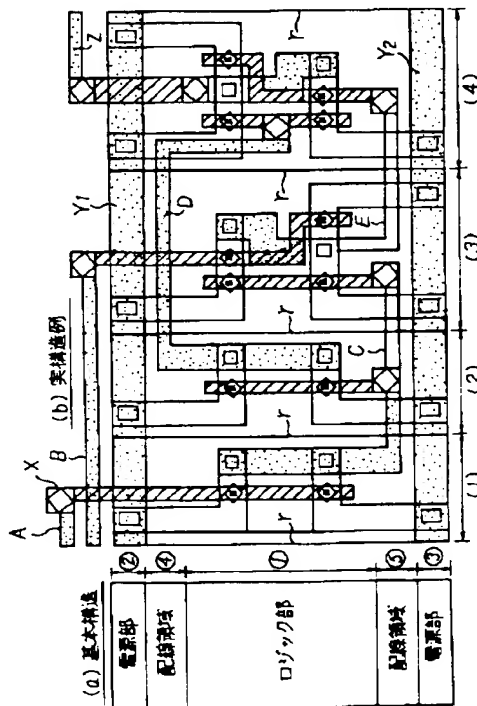
(74)代理人 弁理士 佐藤 一雄 (外3名)

(54)【発明の名称】 半導体集積回路及びそのレイアウト設計方法

(57)【要約】

【構成】 複数のスタンダードセルのうち相互に電気的接続がなされるロジック部を有する第1、第2のスタンダードセル(例えば、(1)、(2))が、それらのロジック部と電源部Y1、Y2との間にその電気的接続を形成するための配線領域(この場合、)を有する。各スタンダードセルは、ロジック部と電源部Y1、Y2との間に夫々配置した枠内配線領域、を備える。そのレイアウト設計法には、まずセル複数個の配置及び配線レイアウトを自動配置・配線プログラムにより仮作成し、配線領域、を利用するようにセル間配線レイアウトを修正する方法がある。または、セル複数個の配置レイアウト及び枠内配線領域利用によるセル間配線レイアウトを作成した後、枠内配線領域外の配線につき自動配線プログラムでレイアウトする方法もある。

【効果】 信頼性向上、チップサイズの小型化、及び高集積化に寄与する。



【特許請求の範囲】

【請求項1】複数のスタンダードセルが組合わされた半導体集積回路であって、

前記複数のスタンダードセルのうち相互に電氣的接続がなされるロジック部を有する第1、第2のスタンダードセルが、それらのロジック部と電源部との間に前記電氣的接続用のための配線部を有することを特徴とする半導体集積回路。

【請求項2】第1、第2のスタンダードセルは、各ロジック部と第1の電源部との間に配置される第1の

枠内配線領域と、前記各ロジック部と第2の電源部との間に配置される第2の枠内配線領域とを備えていることを特徴とする請求項2記載の半導体集積回路。

【請求項3】スタンダードセル複数個の配置及び配線レイアウトを自動配置・自動配線プログラムにより仮作成する第1の段階と、

枠内配線領域を利用するようにスタンダードセル間の配線レイアウトを修正する第2の段階とを含んでいることを特徴とする半導体集積回路のレイアウト設計方法。

【請求項4】スタンダードセル複数個の配置レイアウト及び枠内配線領域を利用したスタンダードセル間の配線レイアウトを作成する第1の段階と、

前記枠内配線領域内の配線以外の配線について自動配線プログラムにより枠外配線領域利用レイアウトを作成する第2の段階とを含んでいることを特徴とする半導体集積回路のレイアウト設計方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はスタンダードセルを複数組合わせてなる半導体集積回路及びその回路パターンのレイアウト設計方法に関するものである。

【0002】

【従来の技術】図3(a)は半導体集積回路の最小単位であるスタンダードセルの基本構造を示すものである。

【0003】この区において、 r はセル枠であり、この一つのセル枠 r 内には核をなすロジック部がその中心に配され、その両側に電源部（例えば、一方がVDD、他方がVSSとされたもの）が配置される構造になっている。

【0004】図3(b)は、この基本構造の組合わせによるレイアウト実構造例を示すものであり、図4はそのレイアウトの持つ回路構成を示すものである。

【0005】まず、図4に示す回路は2個のインバータ(1)、(2)と1個のNORゲート(3)と1個のNANDゲート(4)との4個のスタンダードセルを組合わせたもので、A、B、C、D、E、Zは各ゲート

(1)～(4)間の配線である。図3(b)ではそれらの符号により図4に示す回路との対応を示してある。

【0006】同図から明らかなように、それぞれのゲ-

ト(1)～(4)を構成する4個のセルがアレイ状に配置され、各枠 r の側縁に電源部ラインY1、Y2が走り、配線A～Zは枠 r の外部でなされている。

【0007】このようなセルの整列配置により回路のレイアウトをブロック毎に作成し、後にそれらを組合わせることにより回路全体のパターンを組むことができるために、回路設計の能率アップに大きく寄与している。

【0008】

【発明が解決しようとする課題】しかしながら、上記従来のスタンダードセルによる半導体集積回路にあっては、セル間の配線をセル外へ引出す必要があったため、配線長が長くなり、配線抵抗・配線容量が多く付き、期待通り動作しないことがあった。

【0009】また、セル外配線領域の確保がチップサイズの拡大原因となっていた。

【0010】さらに、セル間の配線はセル内電源領域と交差することになるため、コンタクトが増大し、このコンタクトが配線の抵抗成分になると共に、このコンタクトの数もチップサイズ拡大に影響している。

【0011】本発明は、上記従来技術の有する問題点に鑑みてなされたもので、その目的とするところは、動作の信頼性向上、チップサイズの小型化及び高集積化に寄与することができる半導体集積回路及びそのレイアウト設計方法を提供することにある。

【0012】

【課題を解決するための手段】本発明の半導体集積回路は、複数のスタンダードセルのうち相互に電氣的接続がなされるロジック部を有する第1、第2のスタンダードセルが、それらのロジック部と電源部との間に上記電氣的接続用のための配線部を有することを特徴とする。

【0013】第1、第2のスタンダードセルは、各ロジック部と第1の電源部との間に配置される第1の枠内配線領域と、上記各ロジック部と第2の電源部との間に配置される第2の枠内配線領域とを備えていることを特徴とする。

【0014】本発明の一つのレイアウト設計方法は、スタンダードセル複数個の配置及び配線レイアウトを自動配置・自動配線プログラムにより仮作成する第1の段階と、枠内配線領域を利用するようにスタンダードセル間の配線レイアウトを修正する第2の段階とを含んでいることを特徴とする。

【0015】本発明の他のレイアウト設計方法は、スタンダードセル複数個の配置レイアウト及び枠内配線領域を利用したスタンダードセル間の配線レイアウトを作成する第1の段階と、上記枠内配線領域内の配線以外の配線について自動配線プログラムにより枠外配線領域利用レイアウトを作成する第2の段階とを含んでいることを特徴としている。

【0016】

【作用】本発明によれば、セル間配線の配線長が短くな

3

りその寄生抵抗や容量が低減され、動作の信頼性向上を図ることができる。

【0017】また、枠r外部で確保すべき配線領域面積を削減することができ、チップサイズの小型化、あるいは高集積化に寄与することができる。

【0018】さらにセル間配線は従来電源部等と交差していたが、その交差が無くなった分だけ層間コンタクトが削減されることとなり、このことからチップサイズの小型化、あるいは高集積化に寄与することができる。

【0019】

【実施例】以下に本発明の実施例について図面を参照しつつ説明する。

【0020】図1は本発明の一実施例に係る半導体集積回路のパターンレイアウト構造を示すものであり、同図(a)は各スタンダードセルの基本構造、(b)は実際の回路パターンにおける構造例を示すものである。

【0021】図1(a)において、rはセル枠であり、その内側中央部はロジック部とされ、両端部はそれぞれ電源部、とされ、ロジック部と電源部との間には配線領域が設けられ、ロジック部と電源部との間には配線領域が設けられている。配線領域は他のスタンダードセルのロジック部との配線を形成するために使用される領域である。

【0022】図1(b)は図4に示す回路に対してレイアウトを形成したもので、同図における符号によりその回路との対応を示してある。

【0023】図示から明らかなように、それぞれのゲート(1)～(4)を構成する4個のセルがアレイ状に配置され、各枠rの側縁に電源部ラインY1、Y2が走り、セル間配線C、D、Eは枠r内部の配線領域もしくはにおいてなされており、外部に対する信号入出力配線A、B、Zだけ枠r外に引出されている。これにより、配線C、D、Eの配線長が短くなりその寄生抵抗や容量が低減されることとなる。また、枠r外部で確保すべき配線領域面積を削減することができる。さらに配線C、D、Eは従来電源部Y1等と交差していたが、その交差が無くなった分だけ層間コンタクトが削減されることとなる。

【0024】図2は図1に示すレイアウトの設計方法の望ましい一例を示すものである。

【0025】この図において、まず、自動配置・配線プログラム等にてセルを配置し、仮配線を行う(ST1)。

【0026】次に、レイアウトに対してセルの配線領域、を活用し、信号線の低抵抗・低容量化を図ると共

4

にパターン面積を最小にできるように配線のレイアウトをセル内で行う(ST2)。

【0027】セル内配線を終了したら、セル内で配線できなかった信号線に対して配線プログラムにてレイアウトを実施し(ST3)、完成となる。

【0028】以上の方法でレイアウトすることにより、従来ではセル外で配線されていた信号線がセル内で配線可能となる。したがって、従来技術のようにセル外で配線しなければならないということがなくなり、かつ接しているセルの配線だけではなく離れたセルの配線もセル内で行うという利点を有する。

【0029】なお、このようなレイアウトの他、スタンダードセル複数個の配置レイアウト及び枠内配線領域を利用したスタンダードセル間の配線レイアウトをまず作成し、その後、枠内配線領域内の配線以外の配線について自動配線プログラムにより枠外配線領域利用レイアウトを作成する方法も考えられる。

【0030】

【発明の効果】以上説明したように本発明によれば、セル間配線の配線長が短くなりその寄生抵抗や容量が低減され、動作の信頼性向上を図ることができる。

【0031】また、枠r外部で確保すべき配線領域面積を削減することができ、チップサイズの小型化、あるいは高集積化に寄与することができる。

【0032】さらにセル間配線は従来電源部等と交差していたが、その交差が無くなった分だけ層間コンタクトが削減されることとなり、このことからチップサイズの小型化、あるいは高集積化に寄与することができる。

【図面の簡単な説明】

【図1】本発明の一実施例に係る半導体集積回路のレイアウト構造を示す平面図。

【図2】本発明の一実施例に係る半導体集積回路のレイアウト方法を示す流れ図。

【図3】従来の半導体集積回路のレイアウト構造を示す平面図。

【図4】図1(b)、図3(b)に示すレイアウトの対象となる論理回路図。

【符号の説明】

ロジック部

電源部

配線領域

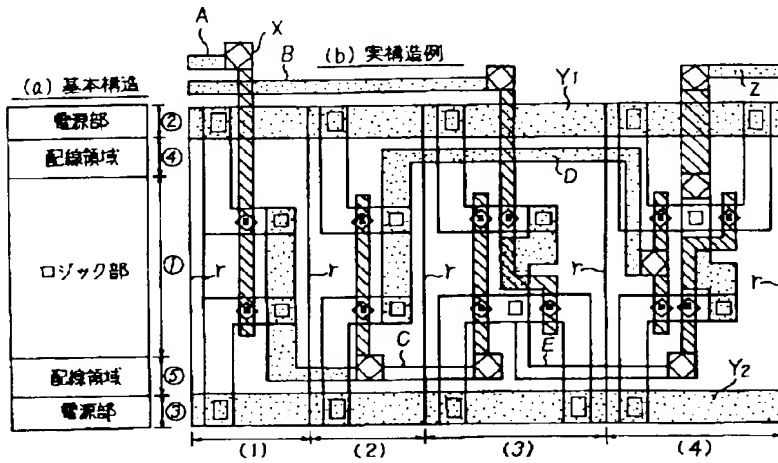
r セル枠

C、D、E セル間配線

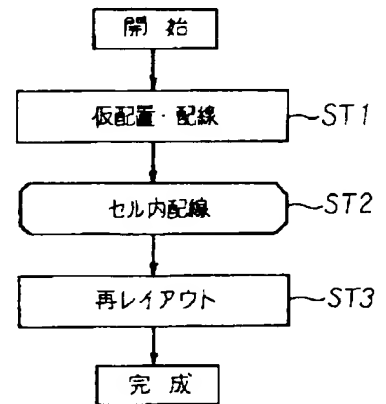
X 層間コンタクト

Y1、Y2 電源部

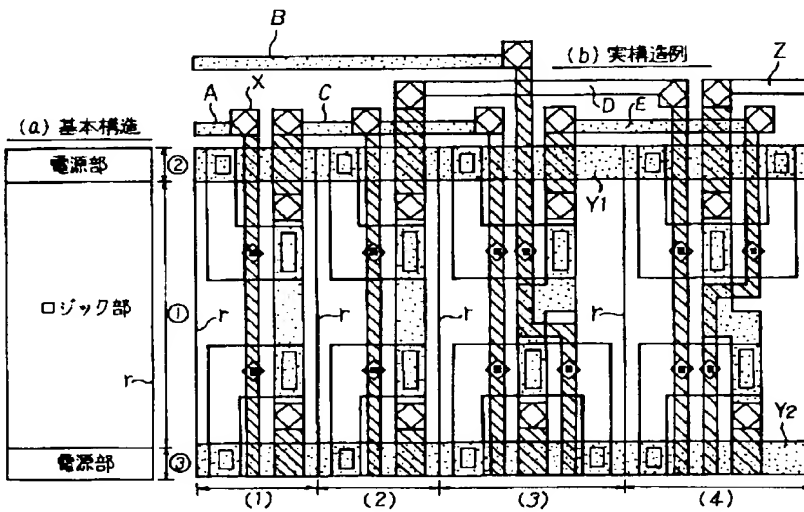
【図1】



【図2】



【図3】



【図4】

